

DIALOG(R)File 352:DERWENT WPI
(c) 2000 Derwent Info Ltd. All rts. reserv.

009215677 **Image available**

WPI Acc No: 92-343098/199242

XRPX Acc No: N92-261510

**Lead for mounting semiconductor chip - connects outer lead to inner lead,
connects part of inner leads to semiconductor chip and arranges outer
leads in array NoAbstract**

Patent Assignee: FUJITSU LTD (FUIT)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
<u>JP 4245655</u>	A	19920902	JP 9110467	A	19910131	H01L-021/60	199242 B

Priority Applications (No Type Date): JP 9110467 A 19910131

Patent Details:

Patent	Kind	Lan Pg	Filing Notes	Application	Patent
<u>JP 4245655</u>	A	6			

Title Terms: LEAD; MOUNT; SEMICONDUCTOR; CHIP; CONNECT; OUTER; LEAD;
INNER;LEAD; CONNECT; PART; INNER; LEAD; SEMICONDUCTOR; CHIP;
ARRANGE; OUTER;LEAD; ARRAY; NOABSTRACT

Index Terms/Additional Words: COG; CHIP-ON-GLASS; TAB; TAPE; AUTOMATED;
BONDING

Derwent Class: U11

International Patent Class (Main): H01L-021/60

International Patent Class (Additional): H01L-023/50

File Segment: EPI

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

03880555 **Image available**

LEAD FOR MOUNTING SEMICONDUCTOR CHIP

PUB. NO.: **04-245655** [JP 4245655 A]

PUBLISHED: September 02, 1992 (19920902)

INVENTOR(s): MARUYAMA YOSHIAKI

APPLICANT(s): FUJITSU LTD [000522] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 03-010467 [JP 9110467]

FILED: January 31, 1991 (19910131)

INTL CLASS: [5] H01L-021/60; H01L-023/50

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JOURNAL: Section: E, Section No. 1305, Vol. 17, No. 15, Pg. 84,
January 12, 1993 (19930112)

ABSTRACT

PURPOSE: To provide a lead for mounting a semiconductor chip in the COG, TAB system and particularly to curtail the width (or length) of a lead forming substrate.

CONSTITUTION: In regard to many leads 12 to 15 connected to a pad of a semiconductor chip, the inner leads 12a to 15a are connected with the outer leads 12b to 15b. A part of inner lead 14a is connected to a semiconductor chip passing the area under the semiconductor chip. The outer lead 12b communicating with the inner lead 12a and an outer lead 14b of the inner lead 14a connected to the semiconductor chip not passing the area under the semiconductor chip are arranged in the same side of the semiconductor chip.

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-245655

(43) 公開日 平成4年(1992)9月2日

(51) Int CL⁵
H 01 L 21/60
23/50

識別記号 庁内整理番号
311 R 6918-4M
M 8418-4M

F I

技術表示箇所

審査請求 未請求 請求項の数5(全5頁)

(21) 出願番号	特願平3-10467	(71) 出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中1015番地
(22) 出願日	平成3年(1991)1月31日	(72) 発明者	丸山 嘉昭 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

(74) 代理人 弁理士 井桁 貞一

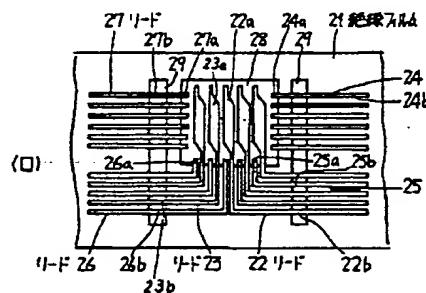
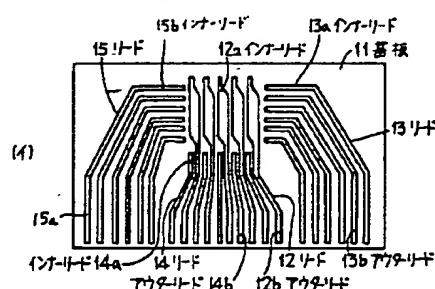
(54) 【発明の名称】 半導体チップ実装用リード

(57) 【要約】

【目的】 COG, TAB方式で半導体チップを実装するためのリードに関し、特に、リード形成基板の幅(または長さ)寸法を短くすることを目的とする。

【構成】 半導体チップのパッドに接続する多数本のリード12~15は22インナーリード 12a~15a にアウターリード 12b~15b が連通する。一部のインナーリード14a は半導体チップの下を通って半導体チップに接続するようになる。そのインナーリード12a に連通するアウターリード12b と、半導体チップの下を通らないで半導体チップに接続するインナーリード14a のアウターリード14b とは、半導体チップの同一側方に整列せしめ構成する。

本発明の実施例であるリードの模式平面図



【特許請求の範囲】

【請求項 1】 半導体チップのパッドに接続する多数本のインナーリード(12a～15a, 22a～27a)がそれぞれのアウターリード(12b～15b, 22b～27b)に連通し、該半導体チップの下を通りことなく該半導体チップの一側のパッドに接続するインナーリード(14a, 25a, 26a)に連通するアウターリード(14b, 25b, 26b)と、該半導体チップの下を通って該半導体チップの他側のパッドに接続するインナーリード(12a, 22a, 23a)に連通するアウターリード(12b, 22b, 23b)とが、該半導体チップの同一側方に整列することを特徴とする半導体チップ実装用リード。

【請求項 2】 前記アウターリード(12b～15b, 22b～27b)が、前記半導体チップの1～3側方に分かれて整列することを特徴とする前記請求項1記載の半導体チップ実装用リード。

【請求項 3】 前記アウターリード(12b～15b, 22b～27b)が、前記半導体チップの一方の対向側の2方向に分かれて整列することを特徴とする前記請求項2記載の半導体チップ実装用リード。

【請求項 4】 半導体チップの下を通り前記インナーリード(12a, 22a, 23a)が、先端の接続部を除く表面に絶縁層(31, 32)を被着してなることを特徴とする前記請求項1記載の半導体チップ実装用リード。

【請求項 5】 前記絶縁層(32)がテープキャリアにおける絶縁フィルム(21)の一部であることを特徴とする前記請求項2記載の半導体チップ実装用リード。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体チップをフェースダウン方式で配線基板に実装するリード、特に、COG (Chip on Glass) 接続およびTAB (Tape Automated Bonding) 接続におけるリードに関するものである。

【0002】

【従来の技術】 図3は半導体チップをフェースダウン接続するため絶縁フィルムまたは透明基板(ガラス基板)に形成した従来のリードを示す模式平面図である。半導体チップ1は下面の四方側にパット(パンプ)2を形成し、に接続する多数本のリード2は1にインナーリード3aの先端をパット2に接続した多数本のリード3は、インナーリード3aに連通するアウターリード3bが、半導体チップ1の四方に放射状に延在する。

【0003】 図4はCOG接続した半導体チップの平面図であり、半導体チップ1の上方側パッドに接続したりード群4a, 半導体チップ1の右方側パッドに接続したりード群4b, 半導体チップ1の下方側パッドに接続したりード群4c, 半導体チップ1の左方側パッドに接続したりード群4dを形成した透明基板5は、半導体チップ1より格段に大形のものが必要になる。

【0004】 図5は液晶表示パネルの駆動用ICチップを実装する従来のリードを示す平面図である。図5(I)

において、半導体チップ1は下面の四方側にパッドを形成したものであり、液晶表示パネルとその制御回路とに接続する半導体チップ1は、リード群4aのアウターリードが半導体チップ1の上方に整列し、リード群4b, 4c, 4dの各アウターリードは半導体チップ1の下方に整列する。

【0005】 図5(D)において、半導体チップ1は下面の三方(上、右、左)側にパッドを形成したものであり、液晶表示パネルとその制御回路とに接続する半導体チップ1は、リード群4aのアウターリードが半導体チップ1の上方に整列し、リード群4b, 4dの各アウターリードは半導体チップ1の下方に整列する。

【0006】 図5(A)において、半導体チップ1は下面の二方(上下)側にパッドを形成したものであり、液晶表示パネルとその制御回路とに接続する半導体チップ1は、リード群4aの一部4a'のアウターリードが半導体チップ1の上方に整列し、リード群4aの他部4a''のアウターリードおよびリード群4cの各アウターリードは半導体チップ1の下方に整列する。

【0007】

【発明が解決しようとする課題】 以上説明したように、従来のリード2は半導体チップ1の四方に延在し、半導体チップ1の四方には、半導体チップ1に比べて格段に広いリード形成領域を必要とする。従って、半導体チップ1が液晶表示パネルに搭載する駆動用ICであるとき、液晶表示パネルは半導体チップ1を搭載するための領域を必要とし大形化される。しかし、液晶表示パネルにおいて表示面以外の大形化は望ましくなく、半導体チップ1の搭載領域をなるべく狭くする必要がある。

【0008】 上記問題点の解決手段として、リードを多層化したり、パッドの位置を最適化したカスタムICチップの開発が考えられる。しかし、リードの多層化は製造工程の増加によってコスト高になり、少量生産のカスタムICチップはチップ価格が上昇する。

【0009】

【課題を解決するための手段】 本発明のリードはその実施例を示す図7によれば、半導体チップのパッドに接続する多数本のインナーリード12a～15a, 22a～27aがそれぞれのアウターリード12b～15b, 22b～27bに連通し、半導体チップの下を通りことなく半導体チップの一側のパッドに接続するインナーリード14a, 25a, 26aに連通するアウターリード14b, 25b, 26bと、半導体チップの下を通って半導体チップの他側のパッドに接続するインナーリード12a, 22a, 23aに連通するアウターリード12b, 22b, 23bとが、半導体チップの同一側方に整列することを特徴とする。

【0010】

【作用】 上記手段によれば、下面の四側にパッドが形成された半導体チップに対し、リードのインナーリードは、半導体チップの1～3側方に配設可能になる。その

ためリードを形成した基板は、半導体チップの四側方にインナーリードが配設された従来のものより、幅（または長さ）寸法を小さくできるようなる。

【0011】

【実施例】図1は本発明の実施例を示す模式平面図、図2は本発明の他の実施例を示す模式平面図である。

【0012】図1(イ)において、下面四方側にパッドが形成された半導体チップを実装するため、透明基板11に形成したリードは、該チップの下面上方側のパッドに接続するリード12と、該チップの下面右方側のパッドに接続するリード13と、該チップの下面下方側のパッドに接続するリード14と、該チップの下面左方側のパッドに接続するリード15とに分けられる。

【0013】複数本のリード12は、先端が半導体チップのパッドに接続されるインナーリード12aと、インナーリード12aに連通し延在するアウターリード12bにてなる。インナーリード12aは、半導体チップを実装したときその下を通るようになり、アウターリード12bは半導体チップの下方に整列する。一般に、インナーリード12aの先端部と半導体チップとの電気的接続（実装）には高さ数十μmのパンプ電極を使用する。従って、インナーリード12aと半導体チップ下面との絶縁は、該パンプ電極によってできる間隙を利用する。

【0014】複数本のリード14はインナーリード14aにアウターリード14bが連通し、アウターリード14bは半導体チップの下方、アウターリード12bと交互に整列する。複数本のリード13はインナーリード13aにアウターリード13bが連通し、アウターリード13bは半導体チップの下方、アウターリード12bおよび14bの右方に整列する。複数本のリード15はインナーリード15aにアウターリード15bが連通し、アウターリード15bは半導体チップの下方、アウターリード12bおよび14bの左方に整列する。

【0015】図1(ロ)のテープキャリアにおいて、下面四方側にパッドが形成された半導体チップを実装するため、ポリイミド等の絶縁フィルム21に形成したリードは、該チップの下面上方側のパッドに接続するリード22, 23と、該チップの下面右方側のパッドに接続するリード24と、該チップの下面下方側のパッドに接続するリード25, 26と、該チップの下面左方側のパッドに接続するリード27とに分けられる。

【0016】各複数本のリード22, 23は、先端が半導体チップの下面上側に形成したパッドに接続されるインナーリード22a, 23aと、インナーリード22aまたは23aに連通し半導体チップの右方または左方に延在するアウターリード22b, 23bにてなる。インナーリード22a, 23aは、半導体チップを実装したときその下を通るようになる。一般に、インナーリード22a, 23aの先端部と半導体チップとの電気的接続（実装）には高さ数十μmのパンプ電極を使用する。従って、インナーリード22a, 23aと

半導体チップ下面との絶縁は、該パンプ電極によってできる間隙を利用する。

【0017】複数本のリード25はインナーリード25aにアウターリード25bが連通し、アウターリード25bは半導体チップの右方、アウターリード22bと交互に整列する。複数本のリード26はインナーリード26aにアウターリード26bが連通し、アウターリード26bは半導体チップの左方、アウターリード23bと交互に整列する。複数本のリード24はインナーリード24aにアウターリード24bが連通し、アウターリード24bは半導体チップの右方、アウターリード22b, 25bの上方に整列する。複数本のリード27はインナーリード27aにアウターリード27bが連通し、アウターリード27bは半導体チップの左方、アウターリード23b, 26bの上方に整列する。

【0018】絶縁フィルム21には、各リード22～27のインナーリード22a～27aの先端部が表呈するデバイスホール28と、各リード22～27のアウターリード22b～27bの接続部が表呈する一対のボンディングホール29とを設ける。

【0019】このようなリード12～15または22～27のアウターリード12b～15b, 22b～27bは、三方から半導体チップに接続する。従って、透明基板11または絶縁フィルム21の幅Wは、従来のそれより大幅に、例えば3/5程度に狭くすることが可能である。

【0020】図1に示す実施例において、半導体チップの下を通るインナーリード12a, 22a, 23aは、半導体チップを実装したとき、パンプ電極によってできる数μmの間隙により半導体チップの下面と接触しないようにするが、その非接触を一層確実にするには、図2に示す如き絶縁層が有効である。

【0021】図1(イ)と共に同一符号を使用した図2(イ)において、透明基板11にリード12～15を形成し、インナーリード12aは、半導体チップに接続する先端を表呈せしめ絶縁層31で覆う。リード12～14の各アウターリード12b～14bは、半導体チップに下方に整列し、リード15のアウターリード15bは半導体チップの上方に整列する。従って、実装した半導体チップはアウターリード15bを介して上方の回路に接続し、アウターリード12b～14bを介して下方の回路に接続することになる。例えばSiN等にて厚さ數μmに形成した絶縁層31は、半導体チップに接続する先端部を除いてインナーリード12aを覆うため、インナーリード12aと実装半導体チップの下面との絶縁性に優れる。

【0022】図1(ロ)と共に同一符号を使用した図2(ロ)において、半導体チップに接続する先端を表呈せしインナーリード22aを覆う絶縁層32は、絶縁フィルム21にデバイスホール28を形成するとき設けたものであり、四隅が絶縁フィルム21に連通する。各リード22～27は図1(ロ)のそれらと同一であるが、絶縁層32を設けたことによって、インナーリード22aと実装半導体チップの

下面との絶縁性に優れる。

【0023】

【発明の効果】以上説明したように本発明によれば、下面の四側にパッドが形成された半導体チップに対しリードのインナーリードは、半導体チップの1～3側方に配設可能になる。そのため、本発明によるリードを形成した基板は、半導体チップの四側方にインナーリードが配設された従来のものより、幅（または長さ）寸法が小さくなり小型化される。

【図面の簡単な説明】

【図1】 本発明の実施例であるリードの模式平面図である。

【図2】 本発明の他の実施例であるリードの模式平面

図である。

【図3】 半導体チップを接続する従来のリードの模式平面図である。

【図4】 COG接続した半導体チップの平面図である。

【図5】 液晶表示パネルの駆動用ICチップを実装する従来のリードを示す平面図である。

【符号の説明】

12～15, 22～27はリード

12a～15a, 22a～27aはインナーリード

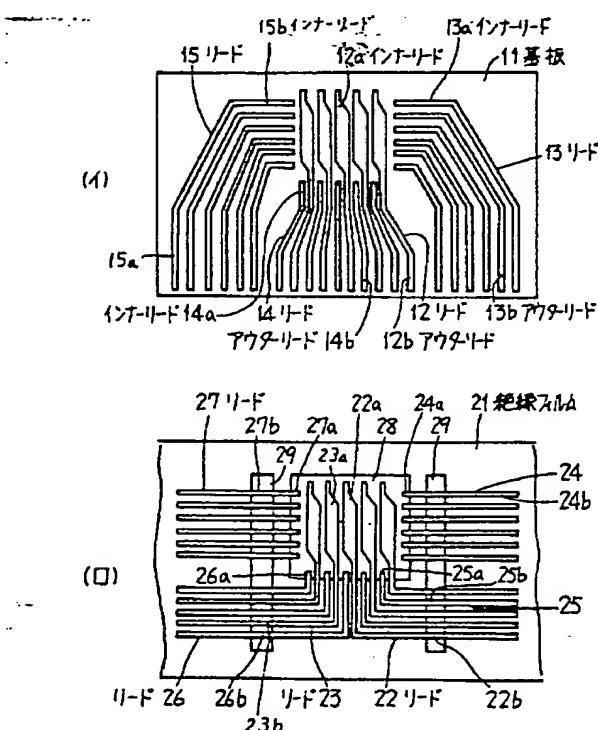
12b～15b, 22b～27bはアウターリード

21は絶縁フィルム

31, 32は絶縁層

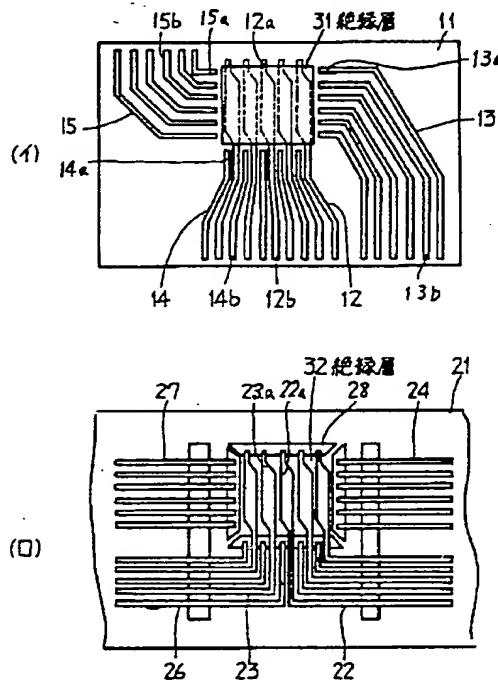
【図1】

本発明の実施例であるリードの模式平面図



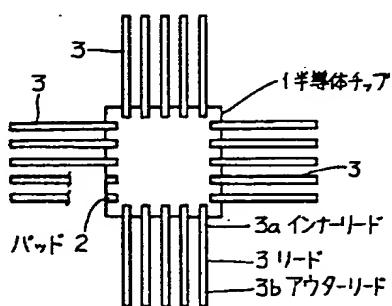
【図2】

本発明の他の実施例であるリードの模式平面図



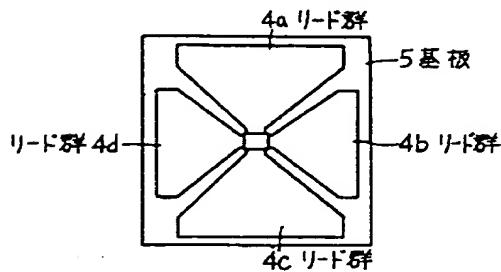
【図3】

半導体チップを接続する従来のリードの模式平面図



【図4】

COG接続した半導体チップの平面図



【図5】

液晶表示パネルの駆動用ICチップを実装する従来のリード方式の平面図

